

Title of Invention: Display Control System

Publication Number: Japanese Patent Application Laid-open

Sho 59 No. 119387

Publication Date: July 10, 1984      Priority Country: Japan

Application Number: Japanese Patent Application

Sho 57 No. 234700

Application Date: December 24, 1982

Applicant: Fujitsu Limited (0 ← number of other applicants)

Inventor: Hisashige ANDO (0 ← number of other inventors)

Int. Cl<sup>3</sup>.: G09G 1/02

Specification:

1. Title of the Invention      Display Control System

2. CLAIMS

A display control system in the sequential scan type display device which combines and displays a plurality of partial screen with attribute of the information to be displayed and a display position, a size, and a priority, comprises:

a means to determine the display position of each partial screen on one scanning line while offering a plurality of scanning line display buffers, and

a means to store the combined partial screen information which reflects priority into the above-mentioned scanning line display buffer which is currently not under display according to the display position determined by said means to determine,

wherein contents of the above-mentioned stored scanning line display buffer is displayed on the display.

3. DETAILED DESCRIPTION

(A) Field of the Invention

The present invention relates to a display control system, in particular to a system which enables especially to allow to

display overlapping which has a priority for a plurality of partial screens in arbitrary positions in sequential scan type display devices, such as CRT.

(B) Technical Background and Technical Problems

For example, there is a demand for enabling to pile up and move a plurality of partial screens on a CRT display just like piece of paper on a desk. Therefore, conventionally, superimposing of partial screens simultaneously with the display on CRT is recognized.

By this conventional method, in phase with display scan of sequential scan, a partial screen is read out from memory storage to real time, parallel/series conversion is performed, and the luminance signal to CRT is made. However, according to this method, in the combination of the worst display position, it will be necessary to read all the partial screen information displayed from memory storage simultaneously, and, as the result, very high efficiency will be required for memory storage. Furthermore, the number of the partial screens which can be displayed simultaneously will be restricted extremely. For example, in the video display processor put in practical use by this method, restriction that the only a maximum of four partial screens can be displayed is provided on the same scanning line.

(C) The Purpose and Configuration of the Invention

It is an object of the present invention to solve the above-mentioned technical problem by providing a display control system wherein a practically sufficient number of partial screens are displayed simultaneously, without receiving and applying an excessive burden to the partial screen memory storage in the device, a plurality of logically independent screens are combined and displayed on a screen.

The display control system of the present invention has been

developed in order to attain the above object, and the aspect thereof is as follows. A display control system in the sequential scan type display device which combines and displays a plurality of partial screens with the attribute of the information to be displayed and a display position, a size and a priority, comprises : a means to determine the display position of each partial screen on one scanning line while offering a plurality of scanning line display buffer, and a means to store the combined partial screen information which reflects priority into the above-mentioned scanning line display buffer which is currently not under display according to the display position determined by said means to determine, wherein contents of the above-mentioned stored scanning line display buffer is displayed on the display.

The preferred embodiments of the present invention will now be described with reference to the accompanying drawings.

#### (D) The Preferred Embodiments of the Invention

Fig. 1 is a diagram showing an example of display of a display screen according to the present invention, Fig. 2 is a diagram illustrating relationship between the word structure of one scanning line displaying a part of displayed screen in Fig. 1 and each partial screen, and Fig. 3 is a diagram showing one embodiment of the system according to the present invention.

In the embodiment of this invention explained below, the display of a maximum of 1024 points is enabled on 1 scanning line. In Fig. 1, a screen display is made by the sequential scan by a scanning line S in the display screen DSP. Although the partial screens A, B and C are partial screens which have the rectangular display contents, respectively, since the partial screen B is placed over the partial screen C and the partial screen A is placed over the partial screen B, some portions of partial screens B and partial screens C are not to be displayed. If arrangement of these partial screens A, B and C is fixed, an application program etc. should

just create the display data of the form where partial screens overlapped from the start. However, in general, such operations, that the partial screen A would be moved so as to display a portion of partial screen B which was hiding till then or to bring the partial screen C to the top, would become necessary with free and easy performance. It is so desired, as for display requirement origin of application program, all the data of each partial screen and how to display each partial screen are only specified, and a display control device or a display device should automatically process screen composition etc. after that.

Therefore, a plurality partial screen information is stored in partial screen memory storage, and upon displaying, reading out is carried out from partial screen memory storage. For example, supposing one word which is the unit of read-out is 32 bit configurations, one scanning line which displays 1024 points will consist of information on 32 words. According to the conventional method, about each word of one scanning line, supposing the number of the maximum partial screens to display was 16, since it needed to be made to read the information about all partial screens, read-out 512 ( $=32 \times 16$ ) times was needed in all per one scanning line, and the read-out performance of the partial screen memory storage equivalent to this was required. However, according to the present invention, it enables it to be processed by the increase in the number of times of read-out (number of partial screens  $\times 2$ ), i. e., read-out of 64 ( $=32 + 16 \times 2$ ) times, even in the worst overlap as described below.

The information displayed by the scanning line S illustrated in Fig. 1 is given by word structure shown in Fig. 2. It has 32 bits per word, and 32 words from the 0<sup>th</sup> word position to the 31<sup>st</sup> word position correspond to one scanning line. For example, the partial screen B begins from the i-th word, and finishes it as the l-th word. However, since on the display the partial screen B is hidden behind the shade of the partial screen A, it starts

with the  $i$ -th word and ends by the  $j$ -th word for the time being, and the partial screen B starts with the  $l$ -th word again, and it ends in the same  $l$ -th word.

If the inside of the  $i$ -th word is received in more detail as illustrated, the  $0^{\text{th}}$  bit to the  $i_1$ -th bit are for background and from the  $(i_1+1)$  bit to  $31^{\text{st}}$  bit is occupied for the information on the partial screen B. In the same manner, inside of the  $l$ -th word, from the  $0^{\text{th}}$  bit to the  $l_1$ -th are for the partial screen A, from the  $(l_1+1)$  bit to  $l_2$ -th bit are for the partial screen B, from the  $(l_2+1)$  bit to  $l_3$  bit are for the partial screen C, and from the  $(l_3+1)$  bit to the  $31^{\text{st}}$  bit are for the background. As shown in Fig. 2, the information actually displayed is good for single screen information about words other than the  $i$ -th word, the  $j$ -th word, the  $k$ -th word, and the  $l$ -th word as illustrated in Fig. 2 while only the word including the overlapped ends requires a plurality of screen information. The present invention is aimed at this feature wherein the whole number of times of reading out for display one scanning line is decreased.

Fig. 3 shows one embodiment composition of this invention, the inside of a figure, and 1 and 2 are scanning line display buffers, 3 is a display timing control part, 4 is a parallel/series conversion circuit, 5 is a display control processor, 6 is a partial screen information memory, 7 and 8 are resistors, 9 is a shift/annexation circuit, and 10 to 13 are switches.

The scanning line displaying buffer 1 and the scanning line displaying buffer 2 are buffers which have the capacity of 32 words by 32 bits per word, respectively. These buffers 1 and 2 are used as the object for displaying, or a buffer for displaying information construction alternately by the switches 10 to 13 which are interlocked and operated. For example, in the state of the switch illustrated in Fig. 3, the scanning line displaying buffer 1 is used as an object for displaying, and the scanning line displaying buffer 2 is used as an object for displaying information construction.

If the writing to the scanning line displaying buffer 2 is completed and the contents of the scanning line displaying buffer are displayed by one scanning line, switches 10 to 13 will be switched over and, in the scanning line displaying buffer 2, the object for displaying and the scanning line displaying buffer 1 will become the displaying information construction for the next scanning line.

The display timing control part 3 is the part which outputs the address information over the buffers 1 or 2 used as the scanning line number and the object for display which are scanned now. For example, via the signal wire 26, a switch 11, and a signal wire 24, it is transmitted to the scanning line buffer 1, the word corresponding to the address is read, and, as for the address information from the display timing control part 3, display information is supplied to the parallel/series conversion circuit 4 via the output line 20, a switch 10, and wiring 22. The parallel/series conversion circuit 4 converts display information with parallel 32 bits into series, which will be sent to CRT as a luminance signal, and the display will be performed.

The display control processor 5 is a high-speed processor controlled by micro program, and constitutes scanning line display information. With a signal wire 33, if a scanning line number is received from the display timing control part 3, the structure of the following scanning line display information will be begun. The display control processor 5 holds the information on scanning line of a partial screen which relates to an existence position of a partial screen or generates information of next existence position for a partial screen from the existence position information on whole information for each partial screen which was given beforehand, and based on the information, outputs the read-out signal for the partial screen information memory 6 by signal line.

The partial screen information memory 6 stores beforehand the information about the whole contents of the partial screens used as the candidate for the display, the display position on

the display screen, and the sizes and display priorities by display requirement source. By the read-out signal from the display control processor 5, partial screen information is read out from the partial screen information memory 6 word by word, and is set by way of the data line 32 at a resistor 7. The word read to the resistor 7, if it would be enough for single partial screen information, is written in the scanning line display buffer 2 which is for the present display information construction by way of shift/annexation circuit 9, the data line 30, the switch 13, and the data line 29.

When the starting position of a partial screen is not in agreement with a one-word boundary, the contents of the resistor 7 are shifted by shift/annexation circuit 9, are once stored in a resistor 8, are combined with a part of following word, and are output to the scanning line display buffer 2 one by one. The address sent into the scanning line display buffer 2 is given by way of the signal wire 27, the switch 12, and the signal wire 25 from the display control processor 5.

As to the  $i$ -th word position illustrated in Fig. 2, from the 0<sup>th</sup> bit to the  $i_1$ -th bit is a background and from the  $(i_1+1)$  bit to the 31<sup>st</sup> bit becomes the partial screen B. Therefore, in the  $i$ -th word processing, the result of having written in the background first is stored in the resistor 8 by way of shift/annexation circuit 9, then, the information on the partial screen B is read out from the partial screen information memory 6, a required shift is performed, and it is made to be written in the scanning line display buffer 2 by combining with the contents of the resistor 8. In this case, for every two words read-out, the writing-in of one word is substantially performed.

As to the 1-th illustrated in Fig. 2, four information, namely, the background, the partial screen C, the partial screen B, and the partial screen A are similarly combined together, is written in the scanning line display buffer 2. Combination of information is performed sequentially according to display priority depending

on the hierarchical order of a partial screen and one with the lower order is combined first and from then on sequentially according to display priority. Overlap relations will be correctly displayed by this.

Scanning line display information will be created by the total of read-out number adding up the number of words of the information actually displayed and one word read too many in the both ends of each partial screen for overlap processing. Therefore, according to the present invention, overlap processing can be attained only by the memory access of the number of times with addition of the twice of the number partial screens to the number of display words of one scanning line per one scanning line.

#### (E) Effects of the Invention

As described heretofore, according to the present invention, overlap processing can be attained only by the memory access of the number of times with addition of the twice of the number of partial screens to the number of display words of one scanning line per one scanning line in addition to including display information quantity per bits, and furthermore, it enables an extremely efficient display control as compared to a conventional system wherein information is required to be read out from the memory for display information quantity per one scanning line which is multiplied by the number of partial display screen. Accordingly, it becomes possible to be able to utilize a small scale and low speed partial screen information memory, as well as it becomes possible to greatly loosen restriction of partial screen number.

#### 4. Brief Description of the Drawings

Fig. 1 is a diagram showing an example of a display of a display screen according to the present invention,

Fig. 2 is a diagram illustrating relationship between the word structure of one scanning line displaying a part of displayed



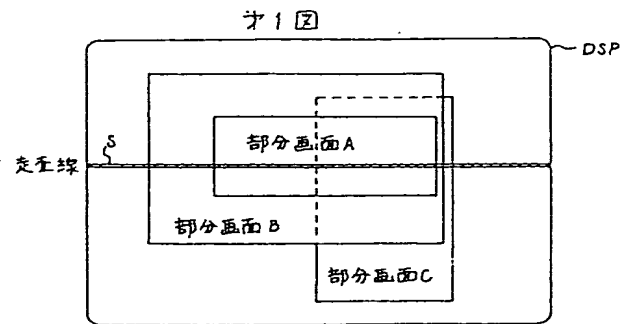
screen in Fig. 1 and each partial screen, and

Fig. 3 is a diagram showing one embodiment of the system according to the present invention.

In the drawings:

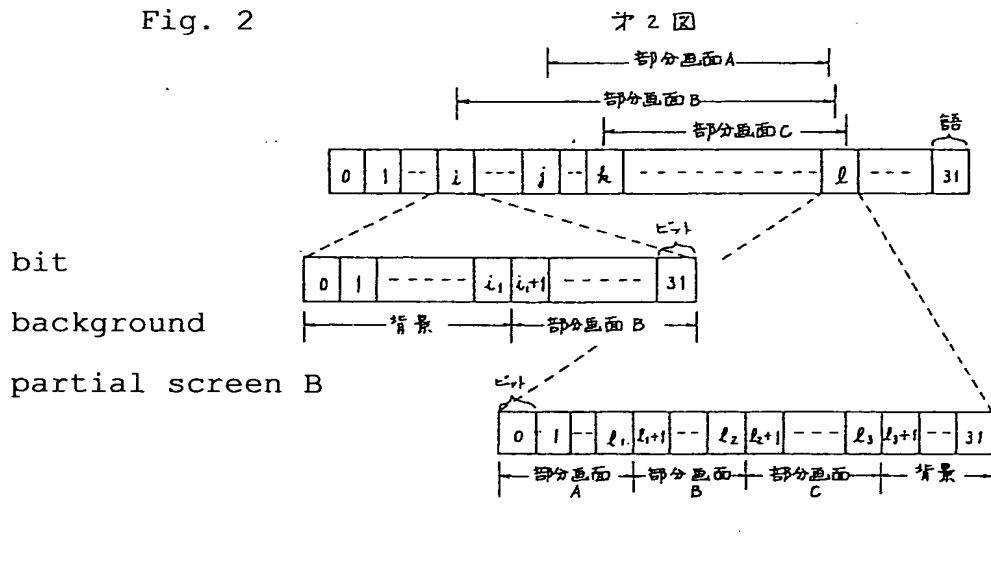
1 and 2: scanning line display buffer,  
3: display timing control part,  
5: display control processor,  
6: partial screen information memory,  
7 and 8: resistor,  
9: shift/annexation circuit, and  
10 to 13, switch

Fig. 1



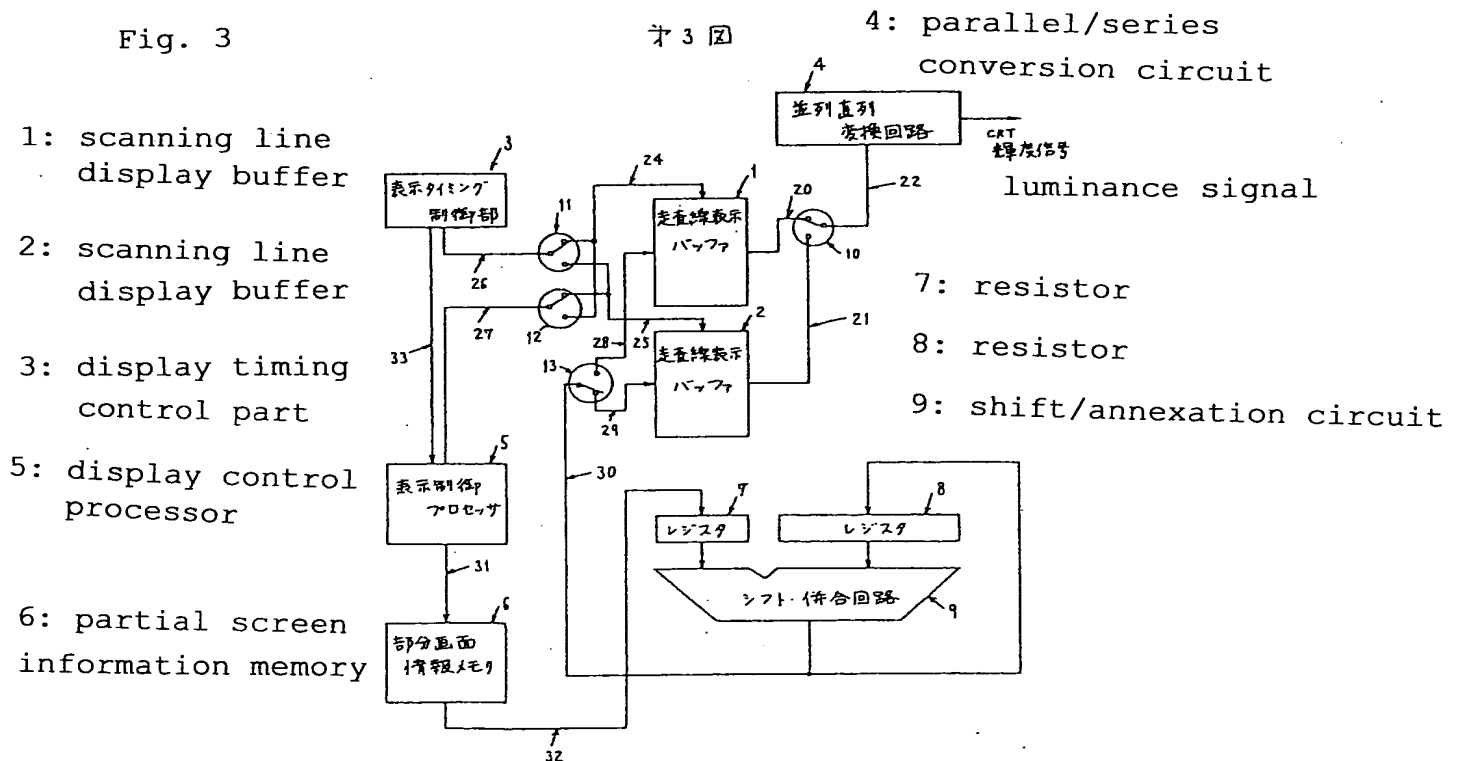
partial screen A  
scanning line S  
partial screen B  
partial screen C

Fig. 2



partial screen A  
partial screen B  
partial screen C  
word  
bit  
background  
partial screen B  
partial screen A  
partial screen B  
partial screen C  
background

Fig. 3



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—119387

⑬ Int. Cl.<sup>3</sup>  
G 09 G 1/02

識別記号

庁内整理番号  
7923—5C

⑭ 公開 昭和59年(1984)7月10日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑮ ディスプレイ表示制御方式

川崎市中原区上小田中1015番地  
富士通株式会社内

⑯ 特 願 昭57—234700

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭57(1982)12月24日

川崎市中原区上小田中1015番地

⑲ 発 明 者 安藤寿茂

⑳ 代 理 人 弁理士 森田寛 外1名

明 細 書

1. 発明の名称 ディスプレイ表示制御方式

2. 特許請求の範囲

表示すべき情報および表示位置、大きさ、優先度の属性をもつ複数の部分画面を複合して表示する順次走査型ディスプレイ装置において、複数の走査線表示バッファをそなえとともに、1つの走査線上における各部分画面の表示位置を決定する手段と、該決定手段によって決定された表示位置に従って現在表示中でない上記走査線表示バッファ中に優先度を反映した複合された部分画面情報を格納する手段とをそなえ、格納済みの上記走査線表示バッファの内容をディスプレイに表示するようにしたことを特徴とするディスプレイ表示制御方式。

3. 発明の詳細な説明

(A) 発明の技術分野

本発明はディスプレイ表示制御方式、特にCRT等の順次走査型ディスプレイ装置において、複数の部分画面を任意の位置に優先度をもつ重なり合いを許して表示することを可能にするディスプレイ表示制御方式に関するものである。

(B) 技術的背景と問題点

例えば、CRTディスプレイ上で複数の部分画面を、あたかも机上の紙片のように重ねたり、移動したりして取扱うことができるようにすることが要望されている。そのため、部分画面の複合をCRTへの表示と同時に進行するという方式が従来から知られている。

この従来の方式では、順次走査の表示走査に同期して、リアルタイムに部分画面を記憶装置から読み出し、並直列変換を行って、CRTへの輝度信号を作り出すようにされる。しかし、この方式によれば、最悪の表示位置の組み合わせにおいては、表示されるすべての部分画面情報を同時に記憶装置から読み出す必要が生じ、記憶装置に極めて高性能なものが要求されることとなる。また、

同時に表示できる部分画面の数が極端に制限されることとなる。例えば、この方式によって実用化されているビデオディスプレイプロセッサでは、同一走査線上に最大4つの部分画面しか表示できないという制限が設けられている。

### (C) 発明の目的と構成

本発明は上記問題点の解決を図り、論理的には独立した複数の画面を複合して画面に表示する装置における部分画面記憶装置に対して、過大の負担をかけることなく、実用上十分な数の部分画面を同時に表示することを可能とするディスプレイ表示制御方式を提供することを目的としている。そのため、本発明のディスプレイ表示制御方式は、表示すべき情報および表示位置、大きさ、優先度の属性をもつ複数の部分画面を複合して表示する順次走査型ディスプレイ装置において、複数の走査線表示バッファをそなえたとともに、1つの走査線上における各部分画面の表示位置を決定する手段と、該決定手段によって決定された表示位置に従って現在表示中でない上記走査線表示バッ

ファ中に優先度を反映した複合された部分画面情報を格納する手段とをそなえ、格納済みの上記走査線表示バッファの内容をディスプレイに表示するようにしたことを特徴としている。以下図面を参照しつつ実施例に従って説明する。

### (D) 発明の実施例

第1図は本発明に関連した表示画面の表示態様の例、第2図は第1図図示表示画面の一部を表示する走査線の語構成と部分画面との対応関係説明図、第3図は本発明の一実施例構成を示す。

以下に説明する本発明の実施例では、1走査線上に最大1024点の表示が可能であるとする。第1図において、表示画面DSPには、走査線Sによる順次走査によって画面表示がなされる。部分画面A、B、Cは、それぞれ矩形的表示内容を持つ部分画面であるが、部分画面Cの上に部分画面Bが置かれ、部分画面Bの上に部分画面Aが置かれているため、部分画面Bおよび部分画面Cの一部は、表示されないようになっている。もし、これらの部分画面A、B、Cの配置が固定的なもの

であれば、始めから部分画面が重なりあった形の表示データをアプリケーション・プログラム等が作成すればよい。しかし、一般に例えば部分画面Aを移動させて、部分画面Bのそれまで隠れていた部分を表示させるとか、部分画面Cを一番上にもってくるとかいった操作が、自由に簡単に行うことができるようにする必要があり、アプリケーション・プログラム等の表示要求元は、個々の部分画面の全データと、各部分画面の表示のし方とを単に指定するだけで、あとは自動的にディスプレイ制御装置またはディスプレイ装置が画面合成等の処理をすることが望まれる。

そのため、部分画面記憶装置に複数の部分画面情報が記憶され、表示の際に部分画面記憶装置からの読み出しが行われるようにされる。例えば、読み出しの単位である1語が32ビット構成であるとする、1024点を表示する1走査線は、32語の情報からなる。表示する最大部分画面数が16であるとする、従来方式によれば、1走査線の各語について、すべての部分画面についての情報

を読み出していくようにする必要があったため、1走査線につき全部で512( $=32 \times 16$ )回の読み出しが必要となり、これに相当する部分画面記憶装置の読み出し性能が要求された。しかし、本発明による場合には、以下に説明する如く、最悪の重なりの場合においても(部分画面数 $\times 2$ )回の読み出し回数の増加、すなわち、64( $=32 + 16 \times 2$ )回の読み出しで処理できるようにされる。

第1図に図示した走査線Sによって表示される情報は、第2図図示の如き語構成によって、与えられる。1語32ビットでもって、第0語番目から第31語番目までの32語が、1走査線に対応する。例えば部分画面Bは第*i*語から始まり、第*ℓ*語で終る。しかし、表示上は、部分画面Bは部分画面Aの陰になるので、第*i*語で始まり、第*i*語で一旦終了し、再び第*ℓ*語で始まって同じ第*ℓ*語の中で終了する。

第*i*語の中をさらに詳しく見ると、例えば図示の如く、第0ビットから第*i*<sub>1</sub>ビットまでが背景であり、第(*i*<sub>1</sub>+1)ビットから第31ビットまで

が部分画面Bの情報で占められる。同様に、第 $\ell$ 語の中は、第0ビットから第 $\ell_1$ ビットまでが部分画面A、第 $(\ell_1+1)$ ビットから第 $\ell_2$ ビットまでが部分画面B、第 $(\ell_2+1)$ ビットから第 $\ell_3$ ビットまでが部分画面C、第 $(\ell_3+1)$ ビットから第31ビットまでが背景となっている。第2図から判るように、実際に表示される情報は、重なり of 端部を含む語だけが複数の画面情報を必要とし、第2図に図示した第 $i$ 語、第 $j$ 語、第 $k$ 語、第 $\ell$ 語以外の語については、単一の画面情報でよい。本発明はこの点に着目して、1走査線を表示するための全体の読み出し回数が減少するようにしたものである。

第3図は、本発明の一実施例構成を示す。図中、1および2は走査線表示バッファ、3は表示タイミング制御部、4は並列直列変換回路、5は表示制御プロセッサ、6は部分画面情報メモリ、7および8はレジスタ、9はシフト・併合回路、10ないし13はスイッチを表わす。

走査線表示バッファ1および走査線表示バッ

ファ2は、それぞれ1語32ビットで32語の容量をもつバッファである。これらのバッファ1、2は、連動して動作するスイッチ10~13によって、交互に表示用または表示情報構成用バッファとして用いられる。例えば、第3図に図示したスイッチの状態においては、走査線表示バッファ1が表示用として使用され、走査線表示バッファ2が表示情報構成用として使用されている。走査線表示バッファ2への書き込みが終了し、走査線表示バッファ1の内容が1走査線分表示されると、スイッチ10~13が切り替わり、走査線表示バッファ2が表示用、走査線表示バッファ1が次の走査線についての表示情報構成用となる。

表示タイミング制御部3は、現在走査している走査線番号および表示用となっているバッファ1または2に対するアドレス情報を出力するものである。表示タイミング制御部3からのアドレス情報は、例えば信号線26、スイッチ11、信号線24を経由して、走査線バッファ1に伝達され、そのアドレスに対応する語が読み出されて、出力

線20、スイッチ10、配線22を経由して並列直列変換回路4へ表示情報が供給される。並列直列変換回路4は、32ビット並列の表示情報を直列化し、CRTへ輝度信号として送り、表示が行われることになる。

表示制御プロセッサ5は、マイクロプログラムによって制御される高速のプロセッサであり、走査線表示情報の構成を行う。信号線33によって、表示タイミング制御部3から走査線番号を受け取ると、次の走査線表示情報の構成を始める。表示制御プロセッサ5は、その内部に各走査線における部分画面の存在位置に関する情報を保有しているか、または、予め与えられた各部分画面全体についての存在位置情報から、次に構成すべき走査線における部分画面の存在位置の情報を作り出し、その情報に基づいて、信号線引によって、部分画面情報メモリ6に対する読み出し信号を出力する。

部分画面情報メモリ6には、表示要求元によって、表示対象となっている部分画面全部の内容と、ディスプレイ表示画面における表示位置と、大き

さおよび表示優先度に関する情報等とが、予め格納されている。表示制御プロセッサ5からの読み出し信号により、部分画面情報メモリ6から部分画面情報が語単位に読み出されて、データ線32を経由して、レジスタ7にセットされる。レジスタ7に読み出された語が、単一の部分画面情報で十分である場合には、シフト・併合回路9、データ線30、スイッチ13、データ線29を経由して、現在表示情報構成用となっている走査線表示バッファ2に書き込まれる。なお、部分画面の開始位置が、1語境界に一致していない場合には、レジスタ7の内容は、シフト・併合回路9によってシフトされ、一旦レジスタ8に格納されて、次の語の一部と組み合わせられて、順次走査線表示バッファ2に出力されていく。走査線表示バッファ2に対するアドレスは、表示制御プロセッサ5から、信号線27、スイッチ12、信号線25を通して与えられる。

例えば、第2図に図示した第 $i$ 語番目については、その第0ビットから第 $i_1$ ビットまでが背景と

なっており、第 $(i_1+1)$ ビットから第31ビットまでが部分画面Bとなっている。従って、第 $i$ 語の処理にあたっては、まず背景を書き込んだ結果をシフト・併合回路9を経由してレジスタ8に記憶しておき、次に部分画面Bの情報を部分画面情報メモリ6から読み出して必要なシフトを行い、レジスタ8の内容と併合して走査線表示バッファ2に書き込むようにされる。この場合には、2回の読み出しで実質的に1語の書き込みが行われることになる。

第2図に図示した第 $j$ 番目については、同様に背景、部分画面C、部分画面B、部分画面Aと、4つの情報を併合してから走査線表示バッファ2に書き込むようにされる。情報の併合順序は部分画面の上下関係に依存し、表示優先度に従って、下に存在するものから順に併合が行われる。これによって、重なり関係が正しく表示されることになる。

実際に表示される情報の語数と、各部分画面の端部両端において重なり処理のために余計に読み

出す1語の語数とを加えた回数の読み出しによって、走査線表示情報が作成されることとなる。従って、本発明によれば、1走査線について、1走査線の表示語数に部分画面数の2倍を加えた回数のメモリアクセスだけで、重なり処理が可能となる。

#### 図 発明の効果

以上説明した如く本発明によれば、1走査線当たり、1走査線に含まれるビット数の表示情報量に加えて、重なり処理の単位である表示すべき部分画面数の2倍の語の情報をメモリから読み出すだけで、重なりを持つ部分画面の表示が可能となり、1走査線の表示情報量の部分画面数倍の情報をメモリから読み出す必要がある従来方式に比べて、非常に効率のよい表示制御が可能となる。従って、部分画面情報メモリとして小規模、低速なものを使用できるようになるとともに、部分画面数の制限を大幅に緩和することができるようになる。

#### 4. 図面の簡単な説明

第1図は本発明に関連した表示画面の表示態様の例、第2図は第1図図示表示画面の一部を表示する走査線の語構成と部分画面との対応関係説明図、第3図は本発明の一実施例構成を示す。

図中、1および2は走査線表示バッファ、3は表示タイミング制御部、5は表示制御プロセッサ、6は部分画面情報メモリ、7および8はレジスタ、9はシフト・併合回路、10ないし13はスイッチを表わす。

特許出願人 富士通株式会社  
代理人弁理士 森田 寛(外1名)

図1

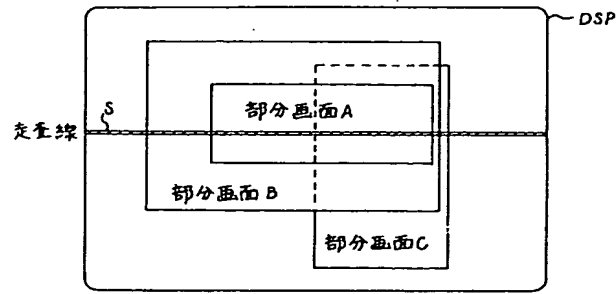


図2

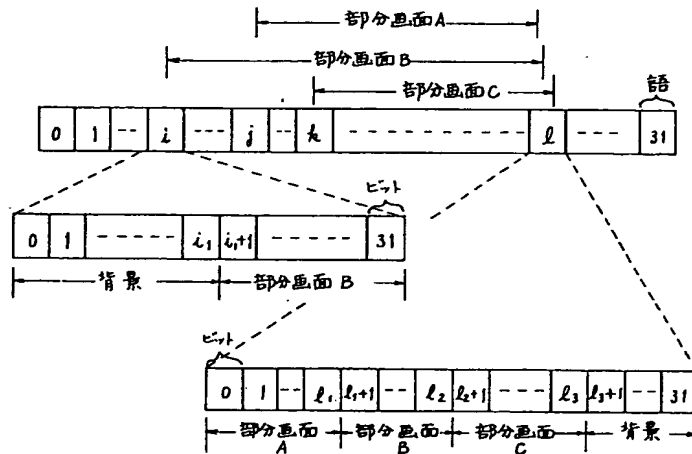


図3

